

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-251363

(43)Date of publication of application : 17.09.1999

(51)Int.CI.

H01L 21/60

(21)Application number : 10-050677

(71)Applicant : OLYMPUS OPTICAL CO LTD

(22)Date of filing : 03.03.1998

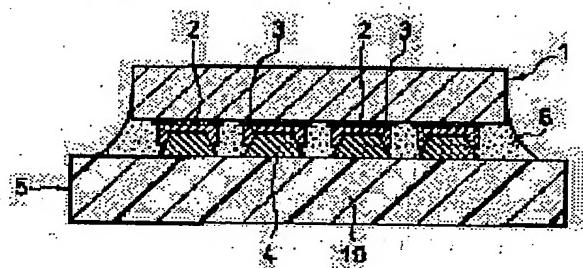
(72)Inventor : HATAKEYAMA TOMOYUKI

(54) FLIP-CHIP MOUNTING METHOD AND STRUCTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To enable connection of a wiring board without the provision of soft material for lands of the board at mounting a flip chip and moreover with a fine pitch.

SOLUTION: A semiconductor chip 1 having bumps 3 formed on pads 2 of the chip is mounted facedown on a wiring board 5 having lands 4. The lands 4 have a sectional shape which tapers toward its top side and are made of a material that is harder than the material of the bumps 3. When the tops of the lands 4 are embedded into the bumps 3 to electrically connect the lands 4 and bumps 3, the need for providing a soft material for the lands 4 can be eliminated, and connecting with fine pitches becomes possible.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

* NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The flip chip mounting approach characterized by to connect a bump with a land electrically by the construction material forming a soft bump on said pad as compared with the construction material of a land, and making a bump embed the crowning of a land in the flip chip mounting approach of mounting the semiconductor chip which has the bump who formed on the pad by face down in the wiring substrate which has a land while the crowning side forms the land of a tapering cross-section configuration in said wiring substrate.

[Claim 2] The flip chip mounting approach according to claim 1 characterized by making the cross-section configuration of said land into a trapezoid or a triangle.

[Claim 3] The flip chip mounting approach according to claim 1 characterized by for the cross-section configuration of said land being a trapezoid, and the flat-surface configuration of the crowning embedded by said bump being an approximate circle form or T typeface.

[Claim 4] It is the flip chip mounting structure characterized by for said bump to be construction material softer than the construction material of a land in the flip chip mounting structure mount the semiconductor chip which has the bump who formed on the pad by face down on the wiring substrate which has a land, and for the cross-section configuration of said land to taper off by the crowning side, and to set up the crowning smaller than the width of face of a bump's point, and to embed the crowning of said land at a bump's point.

[Claim 5] Flip chip mounting structure according to claim 4 characterized by being set as the dimension in which the width-of-face dimension by the side of the pars basilaris ossis occipitalis of the cross-section configuration of said land does not exceed the width-of-face dimension of said bump's end face section.

[Translation done.]

* NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the flip chip mounting approach of mounting a

semiconductor chip in a wiring substrate by face down, and its mounting structure.

[0002]

[Description of the Prior Art] Since drawing 13 mounts a flip chip in a wiring substrate, it shows the conventional structure indicated by JP,6-333982,A. This structure connects the wiring substrate 25 and a semiconductor chip 21 electrically by carrying out thermocompression bonding of the Au land 27 and the Au ball 24. For this reason, while the two-layer Au land 27 is formed on the electrode pad 26 of the wiring substrate 25, the two-layer Au ball 24 is formed on the electrode pad 22 of a semiconductor chip 21. The support section 23 in which the head sharpened is formed in the Au ball 24, and by carrying out thermocompression bonding of this support section 23 to the Au land 27, and joining, the support section 23 was embedded on the Au land 27, and it has connected electrically.

[0003] When the Au ball 24 by the side of a semiconductor chip 21 and the Au land 27 by the side of the wiring substrate 25 are piled up, such flip chip mounting structure Since the Au ball 24 by the side of a semiconductor chip 21 has slipping—come to be hard in a longitudinal direction even if both center position shifts slightly or the sense of the load added to the tooth back of a semiconductor chip 21 shifts from a vertical direction slightly to the principal plane of the wiring substrate 25, a faulty connection's generating can be prevented.

[0004]

[Problem(s) to be Solved by the Invention] However, with the conventional flip chip mounting structure mentioned above, in order to make the support section 23 of the Au ball 24 prepared in the semiconductor chip 21 side embed, elasticity ingredients, such as the soft Au land 27 or conductive rubber, must be prepared on the electrode land 26 of the wiring substrate 25. For this reason, there is an increment in the manufacturing cost by an increment, a material cost rise, etc. of a process.

[0005] Moreover, in order to secure loading precision, the land width of the electrode land 26 of the wiring substrate 25 or the Au land 27 must be made larger than the pad width of face of the electrode pad 22 of a semiconductor chip 21, and a connection pitch is determined in the land pitch of the electrode land 26 by the side of the wiring substrate 25. Therefore, since a large land width must be secured to the wiring substrate 25 side, while it is difficult to use the small wiring substrate 25 of a pitch, connection in a detailed pitch is difficult.

[0006] Without being made in consideration of such a conventional trouble, and preparing an elasticity ingredient on a wiring substrate, this invention can mount a semiconductor chip and aims at offering the flip chip mounting approach which can moreover make connection in a detailed pitch easily, and mounting structure.

[0007]

[Means for Solving the Problem] In order to attain the above-mentioned object, the flip chip mounting approach of invention of claim 1 In the flip chip mounting approach of mounting the semiconductor chip which has the bump who formed on the pad by face down in the wiring substrate which has a land While the crowning side forms the land of a tapering cross-section configuration in said wiring substrate, the construction material forms a soft bump on said pad as compared with the construction material of a land, and it is characterized by connecting a bump with a land electrically by making a bump embed the crowning of a land.

[0008] In this invention, since the land of the cross-section configuration in which a crowning side tapers off is electrically connected by making a bump with construction material softer than a land embed, it is not necessary to prepare an elasticity ingredient on a land, and, moreover, a detailed pitch equivalent to a bump's pitch can perform flip chip mounting.

[0009] Invention of claim 2 is invention according to claim 1, and is characterized by making the cross-section configuration of said land into a trapezoid or a triangle.

[0010] By this invention, since a land is made into the cross-section configuration of a trapezoid or a triangle, it can embed by the bump with small welding pressure. For this reason, while a semiconductor chip has little generating of a poor chip crack, flip chip mounting can be performed in a detailed pitch

equivalent to a bump's pitch.

[0011] Invention of claim 3 is invention according to claim 1, and the cross-section configuration of said land is a trapezoid, and it is characterized by the flat-surface configuration of the crowning embedded by said bump being an approximate circle form or T typeface.

[0012] Since the flat-surface configuration of the crowning of the land embedded by the bump is an approximate circle form or T typeface according to this invention, even if the force parallel to the wiring direction is added, it is hard coming to generate the location gap with a bump and a land, and a poor location gap can be prevented.

[0013] The flip chip mounting structure of invention of claim 4 In the flip chip mounting structure of mounting the semiconductor chip which has the bump who formed on the pad by face down on the wiring substrate which has a land Said bump is construction material softer than the construction material of a land, and the cross-section configuration of said land tapers off by the crowning side, and the crowning is set up smaller than the width of face of a bump's point, and it is characterized by embedding the crowning of said land at a bump's point.

[0014] In this invention, since a land and a bump are connected only by embedding the crowning of the land which tapered off at the point of the bump of construction material softer than a land, the electric connection field of a land and a bump becomes large, and it can consider as low cost.

[0015] Invention of claim 5 is invention according to claim 4, and is characterized by being set as the dimension in which the width-of-face dimension by the side of the pars basilaris ossis occipitalis of the cross-section configuration of said land does not exceed the width-of-face dimension of said bump's end face section.

[0016] In this invention, since the width-of-face dimension by the side of the pars basilaris ossis occipitalis of a land does not exceed the width-of-face dimension of a bump's end face section in addition to an operation of claim 4, it is not necessary to secure a width-of-land dimension greatly, and the pitch of a land can be made small, and suppose that it is equivalent to a bump's pitch.

[0017]

[Embodiment of the Invention] Hereafter, the gestalt of operation of this invention is explained concretely. In addition, the same element attaches the same sign and makes it have corresponded in the gestalt of each operation.

[0018] (Gestalt 1 of operation) The sectional view and drawing 3 to which drawing 1 expanded the sectional view of the flip chip mounting structure of the gestalt 1 of operation of this invention, and drawing 2 expanded a part for the flip chip joint of drawing 1 are the top view for a flip chip joint of drawing 2. Moreover, drawing 4 and drawing 5 show the process in which a semiconductor chip is mounted.

[0019] This mounting structure is equipped with a semiconductor chip 1 and the wiring substrate 5 as shown in drawing 1, and when a semiconductor chip 1 and the wiring substrate 5 are electrically connected by a bump 3 and the land 4, the semiconductor chip 1 is mounted.

[0020] As for the semiconductor chip 1, compound semiconductors, such as GaAs, and other semiconductors are used. A bump 3 is formed in the pad 2 on the circuit side of a semiconductor chip 1 by plating or the wirebonding method. This bump's 3 construction material is elasticity ingredients, such as Au and a pewter, and a thing softer than the construction material of a land 4 is used.

[0021] In the gestalt to illustrate, a bump's 3 flat-surface configurations are circular, as shown in drawing 3 or an ellipse form, and a square. When a flat surface is circular, thickness is 20-50 micrometers and the diameter of circle inscribed in the minimum width of face of a point, i.e., a point, is about 50 micrometers.

[0022] The wiring substrate 5 has the insulating substrates 10, such as polyimide and glass epoxy, and conductors, such as Cu laid underground in this insulating substrate 10. It connects with the conductor in this wiring substrate 5, and the land 4 is exposed from a substrate front face by etching the front face of the wiring substrate 5.

[0023] The construction material of a land 4 is conductors, such as Cu, and thickness is set as 12 micrometers or less. In the gestalt of this operation, the land 4 serves as a cross section of a foot trapezoid — lower base 4a which is a pars basilaris ossis occipitalis, and raised bottom 4b which is a crowning were connected by hypotenuse 4c which inclines at the same angle. More specifically, the land 4 is formed in the parabolic edge section of tapering off to which raised bottom 4b which is a crowning became shorter than lower base 4a which is a pars basilaris ossis occipitalis. Moreover, the width of face of top 4b is small from the width of face of a bump's 3 point to the width of face of pars-basilaris-ossis-occipitalis 4a being equivalent to a bump's 3 width of face with 10-micrometer or more dimension of less than 15 micrometers, and it is possible to embed by the bump 3 at the time of mounting. An electric connection condition is held according to the anchor effect by this embedding. In addition, he is trying for the width-of-face dimension of pars-basilaris-ossis-occipitalis 4a not to exceed the width-of-face dimension by the side of a bump's end face with the gestalt of this operation by making width of face of pars-basilaris-ossis-occipitalis 4a into a bump's 3 width of face and EQC.

[0024] In addition, after top 4b of a land 4 carries out nickel plating of the Cu base at rustproofing or Cu base, it carries out pewter plating and surface treatment is carried out to Au plating or Cu base. Moreover, corresponding to the pad of a semiconductor chip 1, the land 4 is formed, as shown in drawing 5.

[0025] The perimeter of the bump 3 who connects a semiconductor chip 1 and the wiring substrate 5, and a land 4 is closed with a sealing agent 6. A sealing agent 6 becomes thermosetting insulating organic resin from the thing which mixed the filler, or an insulating organic resin independent, and mounting is presented with it with the gestalt of the shape of the shape of a paste, and a film. This sealing agent 6 pastes up and closes between the circuit side of a semiconductor chip 1 and a side face, and the lands 4 on the wiring substrate 5, as shown in drawing 1.

[0026] Next, the flip chip mounting approach of the gestalt this operation is explained. On the pad 2 of a semiconductor chip 1, a bump 3 is formed with the structure mentioned above. The width of face of a land crowning is set to 36 micrometers, and the land 4 of the wiring substrate 5 is formed, when 1.5 and land thickness are set as 12 micrometers and it sets a land width as 50 micrometers for an etch factor.

[0027] And the sealing agent 6 of the shape of the shape of a paste and a film is supplied so that each land 4 on the wiring substrate 5 with which a semiconductor chip 1 is mounted as shown in drawing 5 may not be started. Next, in the condition of having turned the bump forming face down, as shown in drawing 4, the location of a semiconductor chip 1 is adjusted so that the bump 3 and land 4 which carry out a phase response may be in agreement.

[0028] A semiconductor chip 1 is made to approach in the wiring substrate 5 direction, as the arrow head E of drawing 4 shows after this adjustment. And a bump 3 is made to embed a land 4 to the condition shown in drawing 2 by making it act so that it may become 25–100g / bump from the tooth back of a semiconductor chip 1 about the pressure to each bump 3, as an arrow head F shows. For example, since a bump 3 is an elasticity ingredient when a bump's 3 head embeds by 10-micrometer Fukashi who does not contact a substrate 5, it can embed and do by the pressure of about 70g / bump. Moreover, since there will almost be no swelling by only a lengthwise direction transforming almost if it is a load below 200g / bump at the time of this embedding, the adjoining bump 3 is not contacted. It is a wrap about the whole part which could come, simultaneously the sealing agent 6 protruded into the outside of a semiconductor chip 1, and mentioned above.

[0029] Next, the 5–30sec operation of the 180–250-degree C heat is carried out from the tooth back of a semiconductor chip 1, and a sealing agent 6 is hardened. A sealing agent 6 pastes up the circuit side and side face of a semiconductor chip 1 with the wiring substrate 5 by this hardening. Moreover, a semiconductor chip 1, the bond strength between the wiring substrates 5, and the moisture resistance of a semiconductor chip 1 improve by this closure.

[0030] In order that according to the gestalt of such operation the width of face of top 4b may make the narrow land 4 embed by application of pressure at the point of the bump 3 with a large area of a point

and may make it flow electrically more softly [construction material] than the land 4 on the wiring substrate 5 which carries out a phase response, while it becomes unnecessary to prepare an elasticity ingredient on the land 4 of the wiring substrate 5, flip chip mounting of a detailed pitch equivalent to a bump's pitch can be performed.

[0031] (Gestalt 2 of operation) Although the land 4 of a parabolic edge section is used like the gestalt 1 of operation with the gestalt of this operation, it has a trapezoid from which the dimension differed. That is, the land 4 of the gestalt of this operation has thickness thicker than the land of the gestalt 1 of operation, and is 37.5 micrometers or less, and let it be a dimension also with the width of face of pars-basilaris-ossis-occipitalis 4a smaller than a bump's 3 path while the width of face of top 4b considers as a dimension smaller 15 micrometers or more than a bump's 3 path. Therefore, the width-of-face dimension by the side of a pars basilaris ossis occipitalis will be set as the dimension which does not exceed the width-of-face dimension of a bump's end face section. Specifically, the width of face of top 4b of a land 4 is set to 20 micrometers by setting [an etch factor] the width of face of 22.5 micrometers and pars-basilaris-ossis-occipitalis 4a of a land 4 as 50 micrometers for the thickness of 1.5 and a land 4. Therefore, as for the land 4 of the gestalt 2 of this operation, the width of face of top 4b is small rather than the land 4 of the gestalt 1 of operation.

[0032] Drawing 6 is drawing having shown the pressure (load) when embedding a land 4 to a bump 3, and the relation of the amount of bump embedding, when the magnitude of the width of face of top 4b of a land 4 is changed, and as for 20 micrometers and a characteristic curve H, the width of face of top 4b of a characteristic curve G is the land whose width of face of top 4b is 40 micrometers. the land whose width of face of top 4b is 40 micrometers on the land whose width of face of top 4b is 20 micrometers when the amount of embedding is set to 10 micrometers — comparing — 17g / bump — small — it can be good at the welding pressure of *** 58g / bump, and the target amount of embedding can be reached by the small pressure.

[0033] Thus, a land 4 can be embedded by the bump 3 by the small pressure by making width of face of a land crowning small. For this reason, while being able to prevent generating of the poor chip crack of the weak semiconductor chip 1 to application of pressure, mounting of the flip chip of a detailed pitch is attained.

[0034] Moreover, the width of face of a land pars basilaris ossis occipitalis is the same as the gestalt 1 of operation, by making width of face of a land crowning small, from the gestalt 1 of operation, land thickness is enlarged and the thing of it can be carried out. Since spacing of a semiconductor chip 1 and the wiring substrate 5 becomes large by this, a blemish stops being attached to the circuit forming face of a semiconductor chip 1 easily.

[0035] (Gestalt 3 of operation) The sectional view and drawing 8 to which drawing 7 and drawing 8 showed the gestalt 3 of operation to, and drawing 7 expanded a part for a flip chip joint are the top view for a flip chip joint of drawing 7.

[0036] With the gestalt of this operation, the land 7 serves as a triangle cross section which consists of 7a, 7b, and 7c three sides. Thus, when making cross-section structure into a triangle, it is possible by setting thickness to 37.5 micrometers in the gestalt 1 of operation, or setting width of face of pars-basilaris-ossis-occipitalis 7c to 30 micrometers. On the land 7 of this triangle cross section, when referred to as 12 micrometers of the same thickness as the gestalt 1 of operation of that thickness, the width of face of pars-basilaris-ossis-occipitalis 7c becomes smaller than the gestalt 1 of operation.

[0037] On the land 7 of such a tapering triangle cross section, even if it makes still smaller than the land of a parabolic edge section welding pressure embedded by the bump 3, the target amount of embedding can be reached. Moreover, while also being able to make small width of face of the pars basilaris ossis occipitalis of a land 7 and being able to prevent still more certainly generating of the poor chip crack of the weak semi-conductor semiconductor chip 1 to application of pressure, flip chip mounting of a detailed pitch is still attained.

[0038] (Gestalt 4 of operation) Drawing 9 – drawing 12 show the gestalt 4 of implementation of invention.

The land 8 in drawing 9 and drawing 10 serves as a square superficially at connection 8e with a bump 3 in 8d of the wiring sections other than circular and a connection with a bump. And the whole land 8 serves as a trapezoid with which top 8b and pars-basilaris-ossis-occipitalis 8a were connected by hypotenuse 8c in cross section. Top 8b of connection 8e of this land 8 is smaller than a bump's 3 path, and pars-basilaris-ossis-occipitalis 8a has become a bump's 3 path, and an abbreviation EQC. Furthermore, top 8b of connection 8e is formed so that it may become larger than the width of face of top 8b of 8d of wiring sections.

[0039] The land 9 in drawing 11 and drawing 12 is seen from a flat surface, and serves as T typeface, the head of T typeface is been to connection 9e with a bump 3, and the leg is 9d of wiring sections. Moreover, the whole land 9 serves as a trapezoid with which top 9b and pars-basilaris-ossis-occipitalis 9a were connected by hypotenuse 9c in cross section. Furthermore, the width of face of top 9b in connection 9e is small rather than a bump's 3 path, and pars-basilaris-ossis-occipitalis 9a has become a bump's 3 path, and an abbreviation EQC. Moreover, top 9b of connection 9e is larger than the width of face of top 9b of 9d of wiring sections.

[0040] As opposed to the semiconductor chip 1 mounted on the wiring substrate 5 with the gestalt of such operation as shown in drawing 9 and drawing 11 8d of wiring sections when the force is added from the periphery side face of a semiconductor chip 1, As opposed to a 9d direction the parallel force Connection 8e of lands 8 and 9 and a bump 3, When it joins 9e, the width of face of the crownings 8b and 9b of Connections 8e and 9e is larger than wiring sections [8d and 9d] top 8b and 9b piece, and when these connections 8e and 9e are buried in the bump 3, it has a big resistance force to the parallel force. Therefore, it is lost that a bump 3 and lands 8 and 9 separate.

[0041] According to the gestalt of such operation, since the connections 8e and 9e in lands 8 and 9 are buried in the bump 3, a location gap is not carried out even if the force parallel to the wiring direction is added. For this reason, when the semiconductor chip 1 of the type with which the bump 3 is installed only in two sides which that tooth back counters side by side is mounted, the poor location gap of the wiring substrate 5 and a semiconductor chip 1 can be prevented.

[0042]

[Effect of the Invention] Since the land of the cross-section configuration in which a crowning side tapers off is electrically connected by making a bump with construction material softer than a land embed according to invention of claim 1 as explained above, it is not necessary to prepare an elasticity ingredient on a land, and, moreover, can mount in a detailed pitch equivalent to a bump's pitch.

[0043] According to invention of claim 2, since a land is made into the cross-section configuration of a trapezoid or a triangle, it can embed by the bump with small welding pressure, and while a semiconductor chip has little generating of a poor chip crack, it can mount in a detailed pitch equivalent to a bump's pitch.

[0044] Since the flat-surface configuration of the crowning of the land embedded by the bump is an approximate circle form or T typeface according to invention of claim 3, even if the force parallel to the wiring direction is added, it is hard coming to generate the location gap with a bump and a land, and a poor location gap can be prevented.

[0045] Since a land and a bump are connected only by embedding the crowning of the land which tapered off at the point of the bump of construction material softer than a land according to invention of claim 4, the electric connection field of a land and a bump becomes large, and, moreover, can consider as low cost.

[0046] According to invention of claim 5, since the width-of-face dimension by the side of the pars basilaris ossis occipitalis of a land does not exceed the width-of-face dimension of a bump's end face section, it is not necessary to secure a width-of-land dimension greatly, the pitch of a land can be made small, and, thereby, a land can be made equivalent to a bump's pitch.

[Translation done.]

* NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the sectional view of the mounting condition in the gestalt 1 of operation of this invention.

[Drawing 2] It is an A-A line sectional view in drawing 3 which expanded the mounting part of the gestalt 1 of operation.

[Drawing 3] It is the top view of the mounting part of the gestalt 1 of operation.

[Drawing 4] It is a sectional view explaining mounting of the gestalt 1 of operation.

[Drawing 5] It is the top view showing the condition of having supplied the encapsulant of the gestalt 1 of operation to the wiring substrate.

[Drawing 6] It is property drawing showing the relation between the amount of embedding of the land when changing the width of face of the crowning of a land, and an application-of-pressure load.

[Drawing 7] It is the B-B line sectional view of drawing 8 which expanded the mounting part of the gestalt 3 of operation.

[Drawing 8] It is the top view of the mounting part of the gestalt 3 of operation.

[Drawing 9] It is the top view of the mounting part of the gestalt 3 of operation.

[Drawing 10] It is the C-C line sectional view of drawing 9.

[Drawing 11] It is the top view of another mounting part of the gestalt 3 of operation.

[Drawing 12] It is D-D line sectional view of drawing 11.

[Drawing 13] It is the sectional view of the conventional flip chip mounting structure.

[Description of Notations]

1 Semiconductor Chip

2 Pad

3 Bump

4 Land

5 Wiring Substrate

6 Sealing Agent

[Translation done.]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-251363

(43)公開日 平成11年(1999)9月17日

(51)Int.Cl.
H 0 1 L 21/60

識別記号
3 1 1

F I
H 0 1 L 21/60

3 1 1 S

審査請求 未請求 請求項の数5 OL (全7頁)

(21)出願番号 特願平10-50677

(22)出願日 平成10年(1998)3月3日

(71)出願人 000000376

オリンパス光学工業株式会社
東京都渋谷区幡ヶ谷2丁目43番2号

(72)発明者

畠山 智之
東京都渋谷区幡ヶ谷2丁目43番2号 オリ
ンパス光学工業株式会社内

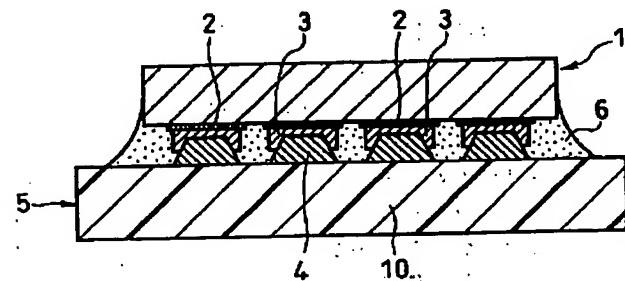
(74)代理人 弁理士 奈良 武

(54)【発明の名称】 フリップチップ実装方法及びフリップチップ実装構造

(57)【要約】

【課題】 フリップチップ実装する際に、配線基板のラ
ンドに軟性材料を設けることなく、しかも微細ピッチで
の接続を行う。

【解決手段】 パッド2上に形成したバンプ3を有する
半導体チップ1を、ランド4を有する配線基板5にフェ
ースダウンによって実装する。ランド4を頂部側が先細
りの断面形状とし、バンプ3の材質をランド4の材質と
比較して軟らかい材質とする。ランド4の頂部をバンプ
3に埋め込ませてランド4とバンプ3とを電気的に接続
することにより、ランド4に軟性材料を設ける必要がな
くなり、また、微細ピッチでの接続が可能となる。



(2)

【特許請求の範囲】

【請求項1】 パッド上に形成したバンプを有する半導体チップを、ランドを有する配線基板にフェースダウンによって実装するフリップチップ実装方法において、その頂部側が先細りの断面形状のランドを前記配線基板に形成する一方、その材質がランドの材質と比較して軟らかいバンプを前記パッド上に形成し、ランドの頂部をバンプに埋め込ませることによりランドとバンプを電気的に接続することを特徴とするフリップチップ実装方法。

【請求項2】 前記ランドの断面形状を台形または三角形とすることを特徴とする請求項1記載のフリップチップ実装方法。

【請求項3】 前記ランドの断面形状が台形であり、前記バンプに埋め込まれる頂部の平面形状が略円形またはT字形であることを特徴とする請求項1記載のフリップチップ実装方法。

【請求項4】 パッド上に形成したバンプを有する半導体チップを、ランドを有する配線基板上にフェースダウンで実装するフリップチップ実装構造において、前記バンプはランドの材質よりも軟らかい材質であり、前記ランドの断面形状が頂部側で先細りし、且つ頂部がバンプの先端部の幅よりも小さく設定されており、前記ランドの頂部がバンプの先端部に埋め込まれていることを特徴とするフリップチップ実装構造。

【請求項5】 前記ランドの断面形状の底部側の幅寸法が前記バンプの基礎部の幅寸法を越えない寸法に設定されていることを特徴とする請求項4記載のフリップチップ実装構造。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は、フェースダウンによって半導体チップを配線基板に実装するフリップチップ実装方法及びその実装構造に関する。

【0002】

【従来の技術】 図13は、フリップチップを配線基板に実装するため、特開平6-333982号公報に開示された従来の構造を示す。この構造は、配線基板25と半導体チップ21とをAuランド27とAuポール24とを熱圧着することにより電気的に接続するものである。このため、配線基板25の電極パッド26上には2層のAuランド27が形成される一方、半導体チップ21の電極パッド22上には2層のAuポール24が形成されている。Auポール24には先端が尖ったアンカーポート23が設けられており、このアンカーポート23をAuランド27に熱圧着して接合することにより、アンカーポート23をAuランド27に埋め込んで電気的に接続している。

【0003】 このようなフリップチップ実装構造は、半導体チップ21側のAuポール24と配線基板25側のAuランド27とを重ね合わせたときに、両者の中心位

置が僅かにずれたり、半導体チップ21の背面に加える荷重の向きが配線基板25の主面に対して垂直な方向から僅かにずれたりしても、半導体チップ21側のAuポール24が横方向に滑りにくくなっているため、接続不良の発生を防ぐことができる。

【0004】

【発明が解決しようとする課題】 しかしながら、上述した従来のフリップチップ実装構造では、半導体チップ21側に設けたAuポール24のアンカーポート23を埋め込ませるために配線基板25の電極ランド26上に軟らかいAuランド27もしくは導電性ゴムなど軟性材料を設けなくてはならない。このため、工程の増加や材料費アップ等による製造コストの増加がある。

【0005】 また、搭載精度を確保するために、配線基板25の電極ランド26あるいはAuランド27のランド幅を半導体チップ21の電極パッド22のパッド幅より大きくしなくてはならず、接続ピッチが配線基板25側の電極ランド26のランドピッチで決定される。従って、配線基板25側に広いランド幅を確保しなければならないので、ピッチの小さい配線基板25を使用することが困難であると共に、微細ピッチでの接続が困難となっている。

【0006】 本発明は、このような従来の問題点を考慮してなされたものであり、配線基板上に軟性材料を設けることなく、半導体チップを実装することができ、しかも微細ピッチでの接続を容易に行うことが可能なフリップチップ実装方法及び実装構造を提供することを目的とする。

【0007】

【課題を解決するための手段】 上記目的を達成するため、請求項1の発明のフリップチップ実装方法は、パッド上に形成したバンプを有する半導体チップを、ランドを有する配線基板にフェースダウンによって実装するフリップチップ実装方法において、その頂部側が先細りの断面形状のランドを前記配線基板に形成する一方、その材質がランドの材質と比較して軟らかいバンプを前記パッド上に形成し、ランドの頂部をバンプに埋め込ませることによりランドとバンプを電気的に接続することを特徴とする。

【0008】 この発明では、頂部側が先細りする断面形状のランドを、ランドよりも材質が軟らかいバンプに埋め込ませることにより電気的に接続するため、ランド上に軟性材料を設ける必要がなく、しかもバンプのピッチと同等の微細ピッチでフリップチップ実装を行うことができる。

【0009】 請求項2の発明は、請求項1記載の発明であって、前記ランドの断面形状を台形または三角形とすることを特徴とする。

【0010】 この発明では、ランドを台形または三角形の断面形状とするため、小さな加圧力でバンプに埋め込

(3)

3

むことができる。このため、半導体チップにチップクラック不良の発生が少ないと共に、バンプのピッチと同等の微細ピッチでフリップチップ実装を行うことができる。

【0011】請求項3の発明は、請求項1記載の発明であって、前記ランドの断面形状が台形であり、前記バンプに埋め込まれる頂部の平面形状が略円形またはT字形であることを特徴とする。

【0012】この発明によれば、バンプに埋め込まれるランドの頂部の平面形状が略円形またはT字形のため、配線方向と平行な力が加わってもバンプとランドとの位置ずれが生じにくくなり、位置ずれ不良を防止することができる。

【0013】請求項4の発明のフリップチップ実装構造は、パッド上に形成したバンプを有する半導体チップを、ランドを有する配線基板上にフェースダウンで実装するフリップチップ実装構造において、前記バンプはランドの材質よりも柔らかい材質であり、前記ランドの断面形状が頂部側で先細りし、且つ頂部がバンプの先端部の幅よりも小さく設定されており、前記ランドの頂部がバンプの先端部に埋め込まれていることを特徴とする。

【0014】この発明では、先細りしたランドの頂部をランドよりも柔らかい材質のバンプの先端部に埋め込むだけでランドとバンプとが接続されるため、ランドとバンプとの電気的な接続領域が大きくなり、且つ低コストとすることができます。

【0015】請求項5の発明は、請求項4記載の発明であって、前記ランドの断面形状の底部側の幅寸法が前記バンプの基端部の幅寸法を越えない寸法に設定されていることを特徴とする。

【0016】この発明では、請求項4の作用に加えて、ランドの底部側の幅寸法がバンプの基端部の幅寸法を越えないため、ランドの幅寸法を大きく確保する必要がなく、ランドのピッチを小さくすることができ、バンプのピッチと同等とすることができます。

【0017】

【発明の実施の形態】以下、本発明の実施の形態を具体的に説明する。なお、各実施の形態において、同一の要素は同一の符号を付して対応させてある。

【0018】(実施の形態1) 図1は、本発明の実施の形態1のフリップチップ実装構造の断面図、図2は図1のフリップチップ接合部分を拡大した断面図、図3は図2のフリップチップ接合部分の平面図である。また、図4及び図5は、半導体チップを実装する過程を示している。

【0019】この実装構造は図1に示すように、半導体チップ1及び配線基板5を備えるものであり、半導体チップ1と配線基板5とは、バンプ3及びランド4によって電気的に接続されることにより半導体チップ1が実装されている。

4

【0020】半導体チップ1はGaAsなどの化合物半導体、その他の半導体が使用されている。バンプ3は半導体チップ1の回路面上のパッド2に、メッキまたはワイヤボンディング法により形成される。このバンプ3の材質はAuやハンダ等の軟質材料であり、ランド4の材質より柔らかいものが使用される。

【0021】図示する形態において、バンプ3の平面形状は図3に示すような円形、或いは楕円形、四角形である。平面が円形の場合、厚さは20~50μmで、先端部の最小幅、即ち先端部に内接する円の直径が50μm程度である。

【0022】配線基板5は、ポリイミドやガラスエポキシ等の絶縁基板10と、この絶縁基板10内に埋設されたCu等の導体とを有している。ランド4はこの配線基板5内の導体に接続されており、配線基板5の表面をエンジニアリングすることにより、基板表面から露出している。

【0023】ランド4の材質は、Cu等の導体であり、厚さは12μm以下に設定される。この実施の形態において、ランド4は底部である下底4aと頂部である上底4bとが、同一角度で傾斜する斜辺4cによって連結された等脚台形の断面となっている。より具体的には、ランド4は頂部である上底4bが底部である下底4aよりも短くなった先細りの台形断面に形成されている。また、底部4aの幅はバンプ3の幅と同等であるのに対し、頂部4bの幅はバンプ3の先端部の幅より10μm以上15μm未満の寸法で小さくなっている。実装時にはバンプ3に埋め込むことが可能となっている。この埋め込みによるアンカー効果により、電気的な接続状態が保持される。なお、本実施の形態では、底部4aの幅をバンプ3の幅と同等にすることにより、底部4aの幅寸法がバンプの基端側の幅寸法を越えないようにしている。

【0024】なお、ランド4の頂部4bは、Cu素地を防錆処理またはCu素地にNiメッキした後に、AuメッキあるいはCu素地にハンダメッキして表面処理されるものである。また、ランド4は半導体チップ1のパッドに対応して、図5に示すように形成されている。

【0025】半導体チップ1と配線基板5とを接続するバンプ3及びランド4の周囲は、封止材6によって封止される。封止材6は熱硬化性の絶縁有機樹脂にフィラーを混合したもの、または絶縁有機樹脂単独からなり、ペースト状またはフィルム状の形態で実装に供される。この封止材6は図1に示すように、半導体チップ1の回路面及び側面と配線基板5上のランド4の間を接着し、且つ封止する。

【0026】次に、この実施の形態のフリップチップ実装方法を説明する。半導体チップ1のパッド2上には、上述した構造でバンプ3を形成する。配線基板5のランド4は、エッチファグタを1.5、ランド厚を1.2μm、ランド幅を5.0μmに設定した場合、ランド頂部の

(4)

5

幅が $36 \mu m$ となって形成される。

【0027】そして、図5に示すように半導体チップ1が実装される配線基板5上の各ランド4にかかるないように、ペースト状またはフィルム状の封止材6を供給する。次に、図4に示すように、バンプ形成面を下にした状態で、相対応するバンプ3とランド4が一致するよう半導体チップ1の位置を調整する。

【0028】この調整後、図4の矢印Eで示すように、半導体チップ1を配線基板5方向に接近させる。そして、矢印Fで示すように、半導体チップ1の背面から各バンプ3に対する圧力を $25 \sim 100 g$ / バンプとなるように作用させることにより、図2に示す状態までバンプ3にランド4を埋め込ませる。例えば、バンプ3の先端が基板5に接触しない $10 \mu m$ の深さまで埋め込む場合には、バンプ3が軟性材料であるため、約 $70 g$ / バンプの圧力で埋め込みできる。また、この埋め込み時には $200 g$ / バンプ以下の荷重であれば殆ど縦方向しか変形せず、膨らみがほとんどないため、隣接するバンプ3と接触することはない。これと同時に、封止材6が半導体チップ1の外側にはみ出して上述した部分の全体を覆う。

【0029】次に、半導体チップ1の背面から $180 \sim 250^{\circ}C$ の熱を $5 \sim 30 sec$ 作用させて封止材6を硬化する。この硬化により封止材6が半導体チップ1の回路面及び側面を配線基板5と接着する。また、この封止によって半導体チップ1と配線基板5間の接着強度と半導体チップ1の耐湿性とが向上する。

【0030】このような実施の形態によれば、相対応する配線基板5上のランド4より材質が軟らかく、且つ先端部の面積が大きいバンプ3の先端部に、頂部4bの幅が狭いランド4を加圧により埋め込ませて電気的に導通させるため、配線基板5のランド4上に軟性材料を設ける必要がなくなると共に、バンプのピッチと同等の微細ピッチのフリップチップ実装を行うことができる。

【0031】(実施の形態2) この実施の形態では、実施の形態1と同様に台形断面のランド4を用いるが、寸法が異なった台形となっている。すなわち、この実施の形態のランド4は、厚さが実施の形態1のランドよりも厚く、且つ $37.5 \mu m$ 以下で、頂部4bの幅がバンプ3の径よりも $15 \mu m$ 以上小さな寸法と共に、底部4aの幅もバンプ3の径よりも小さな寸法とするものである。従って、底部側の幅寸法がバンプの基端部の幅寸法を越えない寸法に設定されることになる。具体的には、エッチファクタを 1.5 、ランド4の厚さを $22.5 \mu m$ 、ランド4の底部4aの幅を $50 \mu m$ に設定することにより、ランド4の頂部4bの幅は $20 \mu m$ となる。従って、この実施の形態2のランド4は、実施の形態1のランド4よりも頂部4bの幅が小さくなっている。

【0032】図6はランド4の頂部4bの幅の大きさを

6

変えた場合において、バンプ3ヘランド4を埋め込むときの圧力(荷重)とバンプ埋め込み量の関係を示した図であり、特性曲線Gは頂部4bの幅が $20 \mu m$ 、特性曲線Hは頂部4bの幅が $40 \mu m$ のランドである。埋め込み量を $10 \mu m$ とした場合、頂部4bの幅が $20 \mu m$ のランドでは、頂部4bの幅が $40 \mu m$ のランドに比べて $17 g$ / バンプ小さな $5.8 g$ / バンプの加圧力で良く、小さな圧力で目的の埋め込み量に達することができる。

【0033】このように、ランド頂部の幅を小さくすることにより、小さな圧力でランド4をバンプ3に埋め込むことができる。このため、加圧に弱い半導体チップ1のチップクラック不良の発生を防ぐことができると共に、微細ピッチのフリップチップの実装が可能となる。

【0034】また、実施の形態1とランド底部の幅が同じであり、ランド頂部の幅を小さくすることによって、実施の形態1よりランド厚を大きくすることできる。これにより半導体チップ1と配線基板5との間隔が大きくなるため、半導体チップ1の回路形成面に傷が付きにくくなる。

【0035】(実施の形態3) 図7及び図8は実施の形態3を示し、図7はフリップチップ接合部分を拡大した断面図、図8は図7のフリップチップ接合部分の平面図である。

【0036】この実施の形態では、ランド7が3辺7a、7b、7cからなる三角形断面となっている。このように断面構造を三角形にする場合は、実施の形態1において厚さを $37.5 \mu m$ にするか、または底部7cの幅を $30 \mu m$ にすることにより可能である。この三角形断面のランド7では、その厚さを実施の形態1と同一厚さの $12 \mu m$ とした場合、底部7cの幅が実施の形態1よりも小さくなる。

【0037】このような先細りの三角形断面のランド7では、バンプ3に埋め込む加圧力を台形断面のランドよりもさらに小さくしても、目的の埋め込み量に到達することができる。また、ランド7の底部の幅を小さくすることもでき、加圧に弱い半導体チップ1のチップクラック不良の発生をさらに確実に防止することができると共に、さらに微細ピッチのフリップチップ実装が可能となる。

【0038】(実施の形態4) 図9～図12は発明の実施の形態4を示す。図9及び図10におけるランド8は、バンプ3との接続部8eでは平面的に円形、バンプとの接続部以外の配線部8dでは四角形となっている。そして、ランド8の全体は断面的には、頂部8bと底部8aとが斜辺8cによって連結された台形となっている。このランド8の接続部8eの頂部8bは、バンプ3の径よりも小さく、底部8aはバンプ3の径と略同等となっている。さらに、接続部8eの頂部8bは配線部8dの頂部8bの幅よりも大きくなるように形成されている。

(5)

【0039】図11及び図12におけるランド9は平面から見てT字形となっており、T字形の頭部がバンプ3との接続部9e、脚部が配線部9dとなっている。また、ランド9の全体は断面的には、頂部9b及び底部9aが斜辺9cによって連結された台形となっている。さらに、接続部9eにおける頂部9bの幅はバンプ3の径よりも小さくなっている。また、接続部9eの頂部9bは配線部9dの頂部9bの幅よりも大きくなっている。

【0040】このような実施の形態では、図9及び図11に示すように、配線基板5上に実装された半導体チップ1に対して、半導体チップ1の外周側面から力が加わった場合、即ち、配線部8d、9dの方向に対して平行な力がランド8、9とバンプ3との接続部8e、9eに加わった場合、配線部8d、9dの頂部8b、9b幅よりも接続部8e、9eの頂部8b、9bの幅が大きく、この接続部8e、9eがバンプ3内に埋まっていることにより、平行な力に対して大きな抵抗力を有する。そのため、バンプ3とランド8、9とが外れることがなくなる。

【0041】このような実施の形態によれば、ランド8、9における接続部8e、9eがバンプ3内に埋まっているため、配線方向と平行な力が加わっても位置ずれすることはない。このため、その背面の対向する2辺のみにバンプ3が並設してあるタイプの半導体チップ1を実装した場合、配線基板5と半導体チップ1との位置ずれ不良を防ぐことができる。

【0042】

【発明の効果】以上説明したように、請求項1の発明によれば、頂部側が先細りする断面形状のランドを、ランドよりも材質が軟らかいバンプに埋め込ませることにより電気的に接続するため、ランド上に軟性材料を設ける必要がなく、しかもバンプのピッチと同等の微細ピッチで実装することができる。

【0043】請求項2の発明によれば、ランドを台形または三角形の断面形状とするため、小さな加圧力でバンプに埋め込むことができ、半導体チップにチップクラック不良の発生が少ないと共に、バンプのピッチと同等の微細ピッチで実装することができる。

【0044】請求項3の発明によれば、バンプに埋め込まれるランドの頂部の平面形状が略円形またはT字形の

ため、配線方向と平行な力が加わってもバンプとランドとの位置ずれが生じにくくなり、位置ずれ不良を防止することができる。

【0045】請求項4の発明によれば、先細りしたランドの頂部をランドよりも柔らかい材質のバンプの先端部に埋め込むだけでランドとバンプとが接続されるため、ランドとバンプとの電気的な接続領域が大きくなり、しかも低コストとすることができます。

【0046】請求項5の発明によれば、ランドの底部側の幅寸法がバンプの基礎部の幅寸法を越えないため、ランドの幅寸法を大きく確保する必要がなく、ランドのピッチを小さくすることができ、これによりランドをバンプのピッチと同等とすることができます。

【図面の簡単な説明】

【図1】本発明の実施の形態1における実装状態の断面図である。

【図2】実施の形態1の実装部分を拡大した図3におけるA-A線断面図である。

【図3】実施の形態1の実装部分の平面図である。

【図4】実施の形態1の実装を説明する断面図である。

【図5】実施の形態1の封止剤を配線基板に供給した状態を示す平面図である。

【図6】ランドの頂部の幅を変更したときのランドの埋め込み量と加圧荷重との関係を示す特性図である。

【図7】実施の形態3の実装部分を拡大した図8のB-B線断面図である。

【図8】実施の形態3の実装部分の平面図である。

【図9】実施の形態3の実装部分の平面図である。

【図10】図9のC-C線断面図である。

【図11】実施の形態3の別の実装部分の平面図である。

【図12】図11のD-D線断面図である。

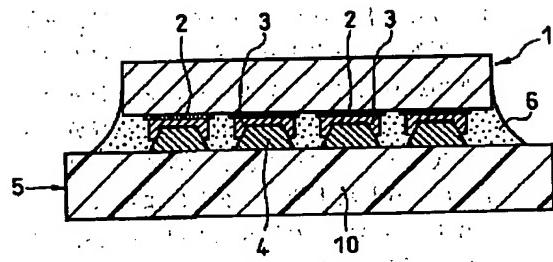
【図13】従来のフリップチップ実装構造の断面図である。

【符号の説明】

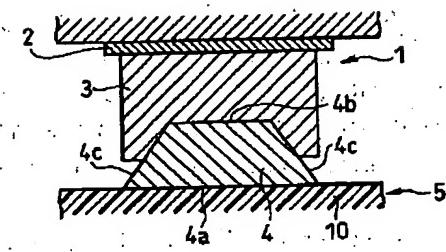
- 1 半導体チップ
- 2 パッド
- 3 バンプ
- 4 ランド
- 5 配線基板
- 6 封止材

(6)

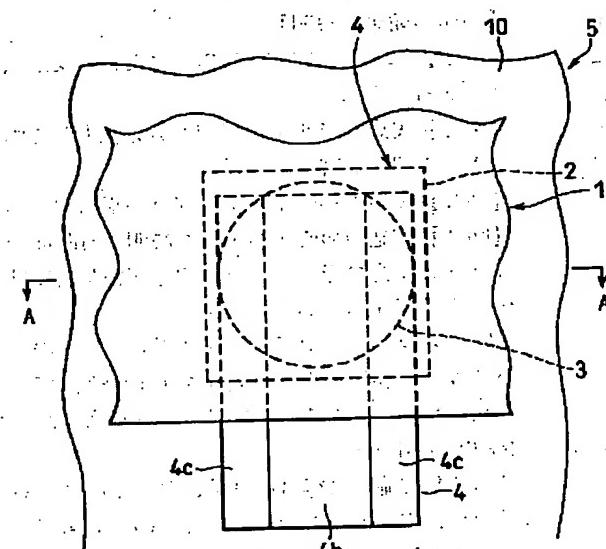
【図1】



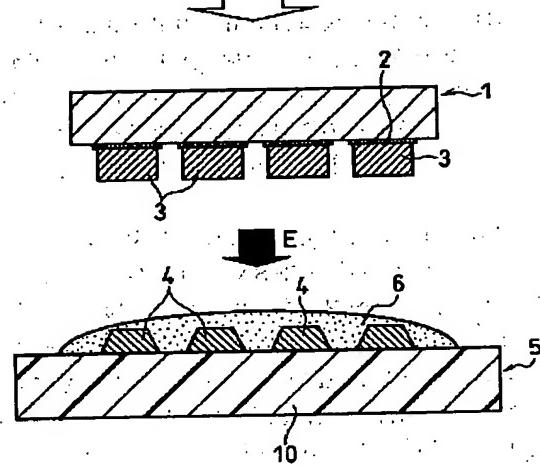
【図2】



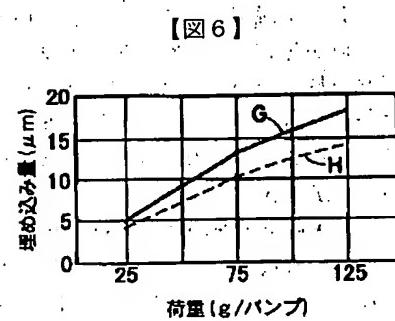
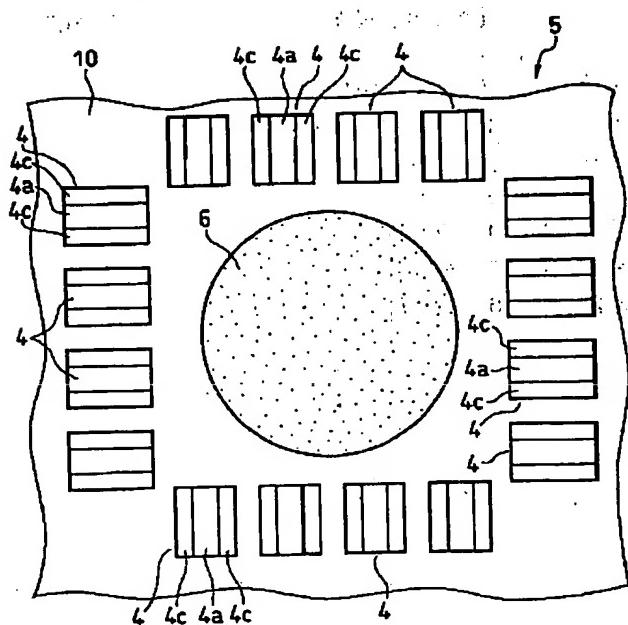
【図3】



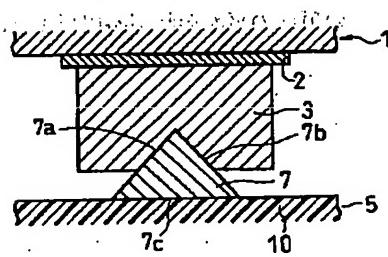
【図4】



【図5】



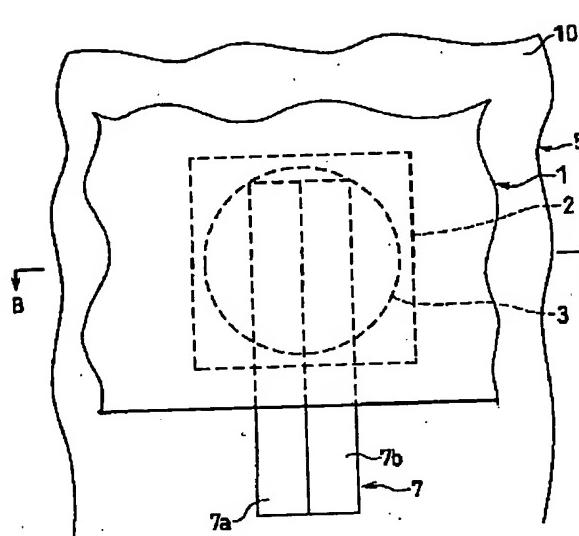
【図7】



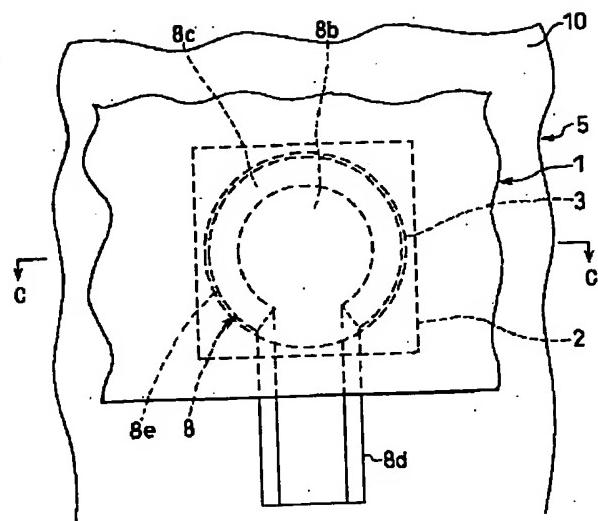
BEST AVAILABLE COPY

(7)

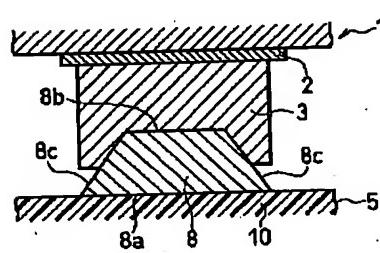
【図8】



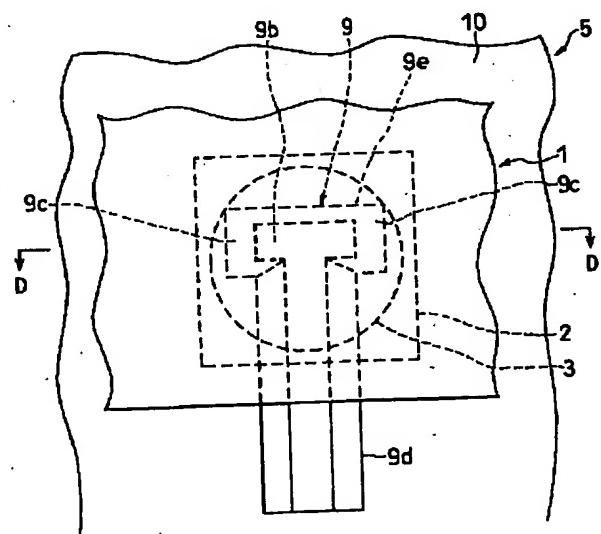
【図9】



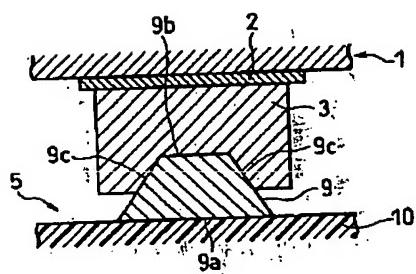
【図10】



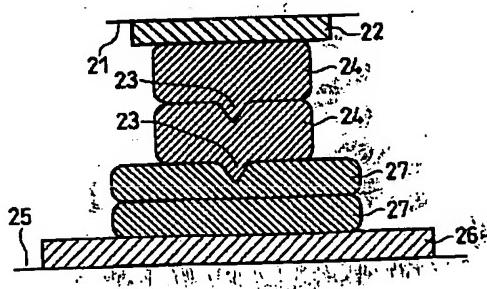
【図11】



【図12】



【図13】



BEST AVAILABLE COPY